



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05343980 A**(43) Date of publication of application: **24.12.93**

(51) Int. Cl.

**H03K 19/0185**  
**H03K 5/02**
(21) Application number: **04152379**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **11.06.92**(72) Inventor: **HASHIMOTO MASAMI**(54) **HIGH SPEED LEVEL SHIFT CIRCUIT**

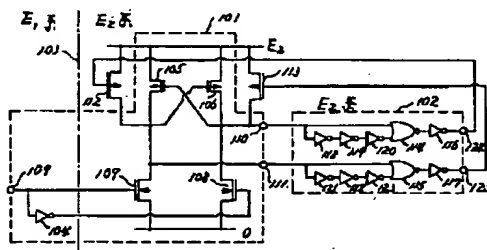
and the circuit is compatible with a high frequency.

(57) Abstract:

COPYRIGHT: (C)1993,JPO&amp;Japio

**PURPOSE:** To obtain the low current consumption and high responsive level shift circuit by detecting a falling of either of output signals and generating an instantaneous pulse to accelerate a rising of other output signal thereby letting an acceleration MOSFET work.

**CONSTITUTION:** A conductance constant  $\beta P2$  of P-channel MOSFETs 112, 113 is designed larger than a conductance constant  $\beta P1$  of P-channel MOSFETs 105, 106. Thus, when a level at an output signal terminal 110 falls down sharply, a pulse signal is generated from a pulse output terminal 124, a FET 112 is turned on and a level at an output terminal 110 rises sharply. Similarly, when a level of the output terminal 111 sharply falls down, a pulse signal is generated from a terminal 125, a FET 113 is turned on and a level of a terminal 110 rises sharply. That is, the rising of an output waveform at the terminals 110, 111 is sharpened by the addition of the P-channel MOSFETs 112, 113 and the delay is much smaller. Furthermore, the end of a series of action as the level shift circuit is quickened



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-343980

(43)公開日 平成5年(1993)12月24日

(51)Int.Cl.<sup>5</sup>

H 0 3 K 19/0185

5/02

識別記号

庁内整理番号

F I

技術表示箇所

L 7402-5 J

8941-5 J

H 0 3 K 19/ 00

1 0 1 E

審査請求 未請求 請求項の数1(全 12 頁)

(21)出願番号

特願平4-152379

(22)出願日

平成4年(1992)6月11日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 橋本 正美

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

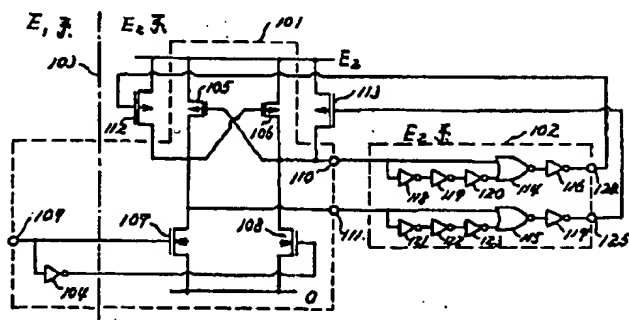
(54)【発明の名称】 高速レベルシフト回路

(57)【要約】

【目的】絶縁ゲート電界効果型トランジスタを用い、かつ複数の電源系を持つ集積回路において、異なった電源系の信号をやりとりするレベルシフト回路において、低消費電流で応答性の高いレベルシフト回路を提供する。

【構成】立ち下がり速いが、立ち上がり遅いという特徴を持った従来の基本のレベルシフト回路と、該レベルシフト回路の立ち上がり時の加速用に並列付加した2個のMOSFETと、信号の立ち下がりをつえ、パルスが発生する信号変化検出パルス発生回路からなり、一方の出力信号の立ち下がりを検知し、他方の出力信号の立ち上がりを加速するように一瞬、パルスが発生し、前記加速用MOSFETを動作させる。

【効果】低消費電流でありながら、立ち下がりも立ち上がりも応答の速く、かつ広い電圧変換範囲の高速レベルシフト回路が提供できる。



## 【特許請求の範囲】

【請求項1】 a) 第1の極性の第1の電位E1と第1の極性の第2の電位E2と、第2の極性の基準電位0とを電源として有する半導体集積回路において、  
b) 基準電位0と電位E1との間で動作する入力信号端子と、基準電位0と電位E1との間で動作する前記入力信号端子の反転信号を作る反転回路と、ソース電極がE2の電源端子に接続される第1の導電型の第1の絶縁ゲート電界効果型トランジスタ（以下MOSFETと略す）と第1の導電型の第2のMOSFETと、ソース電極が基準電位0の電源端子に接続される第2の導電型の第3のMOSFETと第2の導電型の第4のMOSFETとを少なくとも有し、第1のMOSFETと第3のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第2のMOSFETのゲート電極に接続され、かつ該接続点が第2の出力信号端子となっており、第2のMOSFETと第4のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第1のMOSFETのゲート電極に接続され、かつ該接続点が第1の出力信号端子となっており、前記0とE1との間で動作する入力信号端子が第3のMOSFETのゲート電極に接続され、前記0とE1との間で動作する反転回路の出力端子が第4のMOSFETのゲート電極に接続されたことからなる基本レベルシフト回路と、  
c) ソース電極がE2の電源端子に、ドレイン電極が前記基本レベルシフト回路の第2出力信号端子に接続されている第1の導電型の第5のMOSFETと、ソース電極がE2の電源端子に、ドレイン電極が前記基本レベルシフト回路の第1出力信号端子に接続されている第1の導電型の第6のMOSFETと、  
d) 前記基本レベルシフト回路の第1、第2出力信号端子の変化を検出し、パルス信号を前記第6のMOSFETと第5のMOSFETのゲート電極にそれぞれ供給する信号変化検出パルス発生回路から構成されたことを特徴とする高速レベルシフト回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は絶縁ゲート電界効果型トランジスタ（以下MOSFETと略す）を用い、かつ複数の電源系を持つ集積回路において、異なった電源系の信号をやりとりするレベルシフト回路を高速に動作させる技術に関するものである。

## 【0002】

【従来の技術】 集積回路においては、例えば液晶を用いた表示回路を駆動するときには昇圧回路を用いて高い電圧を作る場合があり、また低消費電流の回路を得る為に低い電圧の定電圧回路を用いる場合等があつて集積回路内部において異なった電圧で動作している回路が混在していることが多々ある。そしてそれらの回路は互いに信号が往き来していることが一般的であるが、低い電圧系

の回路の信号で高い電圧系の回路を動かす場合にはそれらを結合する回路が必要となる。そしてこの回路をレベルシフト回路と呼ぶ。レベルシフト回路において主な問題の特性は消費電流と高速応答特性であり、その観点からレベルシフト回路は次第に改良されてきた。図7～図9は従来のレベルシフト回路の例であり、古い順に並べてある。つまり順に改良の歴史でもある。図7は西独特許公開2154877（DE、A）の回路であり、図8は日本特許公開昭57-78227の回路であり、図9は日本特許公告昭57-59690の回路である。以上の図7～図9の従来のレベルシフト回路を特に用いない場合の問題を図6で簡単に説明する。

【0003】 図6において601、603はP型MOSFETであり、602、604はN型MOSFETである。N型MOSFET602、604のソース電極は0電位である負極に接続されている。P型MOSFET601のソース電極は電位E1である第1の正極に接続されている。P型MOSFET603のソース電極は電位E2である第2の正極に接続されている。ここで $E1 < E2$ とする。入力信号605はMOSFET601、602からなる反転回路を駆動して反転入力信号606となり、MOSFET603、604からなる反転回路のゲートに入力する。さて以上の回路で出力端子607は0～E2の間の電位をとるが、出力端子607の電位を0にする場合にはMOSFET604をオン（ON）して、MOSFET603をオフ（OFF）するので反転入力信号606の電位は高い方が良く、反転入力信号606の電位は0～E1の間にしかとれないので反転入力信号606の電位をE1とした場合でもMOSFET603のスレッシュホールド電圧を $V_{TH}$ とすれば $E2 - E1 > V_{TH}$

の関係が成りたつとMOSFET603はオフしない。したがって出力端子607の電位は必ずしも0電位にはならないと同時に、MOSFET603、604を通して電位E2の第2の正極から電位0の負極への貫通電流が流れつづけてしまう。つまり正常な動作が必ずしも保障できないとともに低消費電流をも特徴とする相補型MOS集積回路の長所を大きく損なってしまう。

【0004】 レベルシフト回路は以上の様な問題点を除く為に登場した回路であつて図7の回路がP型MOSFET及びN型MOSFETを用いたいわゆる相補型回路のレベルシフト回路としては最も基本的な回路である。

【0005】 図7においては70、72、74はP型MOSFETであり、71、73、75はN型MOSFETである。N型MOSFET71、73、75のソース電極は0電位である負極に接続されている。P型MOSFET70のソース電極は電位E1である第1の正極に接続されている。P型MOSFET72、74のソース電極は電位E2である第2の正極に接続されている。また端子76より信号は入力し、信号77は信号76を反

転した信号である。ここで信号76及び信号77は0～E1の間の電位で動作する。信号79はレベルシフト回路としての出力信号であり、信号78は信号79の反転した関係にある信号である。ここで信号79及び信号78は0～E2の間の電位で動作する。さて信号76がLow（以下負と略す）の信号である0電位の時、信号77はE1電位、信号79は0電位、信号78はE2電位であり、MOSFET70、72、75はオンしており、MOSFET71、73、74はオフしている。ここで信号76がHigh（以下正と略す）の信号であるE1電位をとるとMOSFET73はオンして信号78は0電位に向う、とともに信号77はMOSFET70、71からなる反転回路を経由するので0電位となってMOSFET75をオフさせる。MOSFET75はオフしMOSFET73はオンするのでMOSFET72はオフの方向へ、MOSFET74はオンの方向へ向うが、それによって信号79はE2電位の方向へ、信号78は0電位に向うのでMOSFET72は更にオフの方向へ、MOSFET74はオンの方向へと加速され、ついに信号76がE1電位で、信号77は0電位、信号79はE2電位、信号78は0電位であって、MOSFET70、72、75はオフ、MOSFET71、73、74はオンの状態に落ちつく。

【0006】次に信号76が再び0電位になるとMOSFET73はオフし、信号77はE1電位となってMOSFET75をオンさせる。MOSFET75はオンするので信号79は0電位に向かう。MOSFET73はオフし、MOSFET75はオンするのでMOSFET72はオンの方向へ、MOSFET74はオフの方向へ向うが、それによって信号79は0電位の方向へ、信号78はE2電位に向かうのでMOSFET72は更にオンの方向へ、MOSFET74はオフの方向へと加速され、ついに信号76が0電位、信号77はE1電位、信号79は0電位、信号78はE2電位であってMOSFET70、72、75はオン、MOSFET71、73、74はオフの状態に落ちつく。

【0007】以上の回路動作が良好に行なわれるのはソース電位が0のN型MOSFET71、73、75が0～E1の電位でゲートを制御され、ソース電位がE1電位のP型MOSFET70が0～E1の電位でゲートを制御され、ソース電位がE2電位のP型MOSFET72、74が0～E2の電位でゲートを制御されるからである。殊に図7の回路が図6の回路に比較して正常に動作する理由はMOSFET72、74のゲート電位が0～E2で制御される回路構成になった為である。つまりすべてのMOSFETが完全にオン、オフするのに必要

なゲート電位が供給されるからである。

【0008】図8の回路は図7の回路を若干、改良したものである。図8においてMOSFET80～85までは図7のMOSFET70～75までの構成と同じで、かつ順にそれぞれ対応しており、図8の回路が図7の回路と異なるのは抵抗810がMOSFET82と83の間に、抵抗811がMOSFET84と85の間にそれぞれ付加されたことである。抵抗810及び811を加えた理由は信号が変わり、状態が遷移する途中で流れる貫通電流を減少させるのが主な目的である。

【0009】図9の回路は図8の回路を更に改良したものである。図9においてMOSFET90～95までは図8のMOSFET80～85までの構成と同じで、かつ順にそれぞれ対応している。図9の回路が図8の回路と異なるのは図8の回路における抵抗810及び811を図9の回路においてはP型MOSFET910及び911にそれぞれ置き換えたことにある。なおMOSFET910のゲート電極は入力信号96に接続され、MOSFET911のゲート電極は反転入力信号97に接続されている。図8の回路における抵抗810、811は貫通電流を制限はするものの出力信号89やその反転出力信号88がE2電位になるときはかえって遅くすることもある。図9の回路においては抵抗の代わりにMOSFETであるので貫通電流を制限する場合にはオフに近い高抵抗となり、電位E2を出力信号99、あるいは反転出力信号98に流しこむ場合にはオンして低抵抗になるという様に使い分けられており、貫通電流を制限するとともに応答性が速くなっている。

【0010】以上が従来のレベルシフト回路の例であり、かつ順に改良の歴史でもあった。

【0011】

【発明が解決しようとする課題】さて、前述した従来の回路においてはより高速の応答性を得ることと消費電流の増加を抑えることの両立を図ることが難しいという問題点がある。例えば図7の従来の回路例で説明すると、図7においてP型MOSFET72と74のコンダクタンス定数 $\beta$ を $\beta_P$ 、スレッシュホールド電圧を $V_{TP}$ とし、またN型MOSFET73と75の $\beta$ を $\beta_N$ 、スレッシュホールド電圧を $V_{TN}$ をすれば入力信号76が正となってE1となり出力信号端子78が負の0電位となる為には、信号切り替え時においてN型MOSFET73の駆動能力がP型MOSFET72の駆動能力を上まわる必要がある。したがって簡単化の為P型MOSFET72とN型MOSFET73が共に飽和領域で動作するとすれば

【0012】

【数1】

$$\frac{1}{2} \beta_N (E_1 - V_{TN})^2 \gg \frac{1}{2} \beta_P (E_2 - V_{TP})^2$$

【0013】の関係が必要となり  
【0014】

$$\frac{\beta_p}{\beta_n} \ll \frac{(E_1 - V_{TN})^2}{(E_2 - V_{TP})^2}$$

【0015】の関係式が得られる。例えば  $E_1 = 1.5$  V、 $E_2 = 3$  V、 $V_{TP} = V_{TN} = 0.5$  V の場合には  
【0016】

【数3】

$$\frac{\beta_p}{\beta_n} \ll \frac{(1.5 - 0.5)^2}{(3.0 - 0.5)^2} = 0.16$$

【0017】が得られる。実際には更に余裕設計を必要とするのもっと小さい値となる。この関係は対称性の為、P型MOSFET74とN型MOSFET75の関係においても同様であり、寄生静電容量が同一の値であるのでMOSFETの駆動能力で応答性が決まり、出力端子79から見た応答性はN型MOSFET75がオンする場合とP型MOSFET74がオンする場合では応答性において非常に差がでる。つまり立ち下がり速く、立ち上がりは非常に遅い。このとき立ち上がり速くする為にP型MOSFETの能力を高くすれば同時にN型MOSFETの能力も高くする必要があり、この信号の切り替る際の短絡電流が膨大になって消費電流が増大するという課題があった。これは同じく従来の回路である図9の場合には条件が少し緩和されるが  $E_1$  の電圧で  $E_2$  のソース電位を持つP型MOSFETをオフすることは出来ないで本質的には同じ課題を有している。この様に応答速度を決める要因としては前記の寄生静電容量やMOSFETの駆動能力等があるがレベルシフト回路全体としてみた場合の最大の障害はP型側とN型側のMOSFETの不均衡にある。また前述した課題についてはサブミクロンの時代を迎え、100MHz以上の周波数に対応する必要性と、大規模ゲートにともないレベル変換を要する信号の本数が増大し、消費電力による発熱が大きな問題となる中で従来の回路の中ではもっとも良いと考えられる図9の回路でも対応できない状況となっている。

【0018】そこで本発明は前述した問題点を解決するもので、その目的とするところは消費電流を増大させることなく、より高い応答性のレベルシフト回路を提供することにある。

【0019】また同じ応答性ならばより低い消費電流ですむレベルシフト回路を提供することにある。

【0020】

【課題を解決するための手段】本発明の高速レベルシフト回路はa)第1の極性の第1の電位  $E_1$  と第1の極性の第2の電位  $E_2$  と、第2の極性の基準電位0とを電源

【数2】

として有する半導体集積回路において、b)基準電位0と電位  $E_1$  との間で動作する入力信号端子と、基準電位0と電位  $E_1$  との間で動作する前記入力信号端子の反転信号を作る反転回路と、ソース電極が  $E_2$  の電源端子に接続される第1の導電型の第1の絶縁ゲート電界効果型トランジスタ(以下MOSFETと略す)と第1の導電型の第2のMOSFETと、ソース電極が基準電位0の電源端子に接続される第2の導電型の第3のMOSFETと第2の導電型の第4のMOSFETとを少なくとも有し、第1のMOSFETと第3のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第2のMOSFETのゲート電極に接続され、かつ該接続点が第2の出力信号端子となっており、第2のMOSFETと第4のMOSFETのそれぞれのドレイン電極は互いに接続され、かつ第1のMOSFETのゲート電極に接続され、かつ該接続点が第1の出力信号端子となっており、前記0と  $E_1$  との間で動作する入力信号端子が第3のMOSFETのゲート電極に接続され、前記0と  $E_1$  との間で動作する反転回路の出力端子が第4のMOSFETのゲート電極に接続されたことからなる基本レベルシフト回路と、c)ソース電極が  $E_2$  の電源端子に、ドレイン電極が前記基本レベルシフト回路の第2出力信号端子に接続されている第1の導電型の第5のMOSFETと、ソース電極が  $E_2$  の電源端子に、ドレイン電極が前記基本レベルシフト回路の第1出力信号端子に接続されている第1の導電型の第6のMOSFETと、d)前記基本レベルシフト回路の第1、第2出力信号端子の変化を検出し、パルス信号を前記第6のMOSFETと第5のMOSFETのゲート電極にそれぞれ供給する信号変化検出パルス発生回路から構成されたことを特徴とする。

【0021】

【作用】本発明の上記の構成によれば前記基本レベルシフト回路の第1出力信号端子と第2出力信号端子は共に出力信号の立ち下がりが速く、立ち上がりが遅いが、各出力信号端子の立ち下がりを信号変化検出パルス発生回路で検出し、そのパルスで加速の為に反対側の対に並列に付加した第5もしくは第6のP型MOSFETをオンさせるので立ち上がりが加速され、レベルシフト回路全体としての応答性が立ち下がりも立ち上がりも高速となる。なお、このとき第5、もしくは第6のMOSFETは信号変化の際のパルスが発生している間だけオンしているのみで、信号変化後、パルスが消えるとともにオフしてしまうので次の信号の変化の際の障害とならず、ま

た貫通電流もしくは消費電流の増大をもたらさない。

#### 【0022】

【実施例】図1は本発明の第1の実施例を示す回路図である。図1において破線101で囲まれた回路がレベルシフト回路であり、破線102で囲まれた回路が高速信号選択回路である。また一点鎖線103を境にして左側が正極の電源電位E1を電源とするE1系の回路であり、右側が正極の電源電位E2を電源とするE2系の回路である。但し、 $E1 < E2$ の関係がある。破線101の中において105、106はP型MOSFET、107、108はN型MOSFETである。P型MOSFET105と106のソース電極は正極の電位E2の電源端子に接続され、N型MOSFET107と108のソース電極は負極の電位0の電源端子に接続されている。P型MOSFET105とN型MOSFET107のそれぞれのドレイン電極は互いに接続され、かつレベルシフト回路101としての第2の出力信号端子111となっている。P型MOSFET106とN型MOSFET108のそれぞれのドレイン電極は互いに接続され、かつレベルシフト回路101としての第1の出力信号端子110となっている。P型MOSFET105のゲート電極は第1の出力信号端子110に接続され、P型MOSFET106のゲート電極は第2の出力信号端子111に接続されている。N型MOSFET107のゲート電極はレベルシフト回路101としての入力信号端子109に接続され、N型MOSFET108のゲート電極は入力信号端子109の反転信号を作る反転回路（以下インバータ回路と称す）104の出力が接続されている。なお入力信号端子109の信号、及びインバータ回路104は0～E1の電源間で動作する。以上の基本レベルシフト回路101の構成は従来回路で説明した図7の回路と全く同じであり、したがって動作も同じである。信号変化検出パルス発生回路を示す破線102の中の回路は0～E2の電源間で動作する。さて破線102の中において116、117、118、119、120、121、122、123はインバータ回路であり、114、115はノア回路（NOR回路）である。第1出力端子110はノア回路114の第1ゲートに接続されるとともにインバータ回路118のゲートに接続されている。インバータ回路118の出力はインバータ回路119のゲートに接続され、インバータ回路119の出力はインバータ回路120のゲートに接続され、インバータ回路120の出力はノア回路114の第2ゲートに接続されている。ノア回路114の出力はインバータ回路116のゲートに接続され、インバータ回路116の出力は信号変化検出パルス発生回路102としての第1パルス出力端子124となっている。また第2出力信号端子111はノア回路115の第1ゲートに接続されているとともにインバータ回路121のゲートに接続されている。インバータ回路121の出力はインバータ回路122のゲ-

トに接続され、インバータ回路122の出力はインバータ回路123のゲートに接続され、インバータ回路123の出力はノア回路115の第2ゲートに接続されている。ノア回路115の出力はインバータ回路117のゲートに接続され、インバータ回路117の出力は信号変化検出パルス発生回路102としての第2パルス出力端子125となっている。P型MOSFET112及び113のそれぞれのソース電極はE2の電源端子に接続され、それぞれのドレイン電極は第2出力信号端子111、第1出力信号端子110にそれぞれ接続されている。またP型MOSFET112及び113のそれぞれのゲート電極は信号変化検出パルス発生回路102の第1パルス出力端子124、第2パルス出力端子125にそれぞれ接続されている。

【0023】さて、次に図1の回路の動作を説明する。図1の回路動作をわかりやすくする為に、まず図1においてP型MOSFET112と113を取り除いた場合のタイミングチャートを図2（A）に示し、次に本発明の通りにP型MOSFET112と113を付け加えた図1の回路の場合のタイミングチャートを図2（B）に示す。

【0024】図2（A）はP型MOSFET112、113を取り除いており、このとき基本レベルシフト回路101は図7と基本的に同じ構成をとっているので入力信号端子109に図2（A）の（109）に示すクロック信号が入ると第1出力信号端子110と第2出力信号端子111は図2（A）のそれぞれ（110）、（111）に示すごとく動作する。なお図2（A）において（109）のみが0～E1の電源範囲で（110）～（125）はすべて0～E2の電源範囲で動作する。図2（A）の（110）、（111）の信号波形において共に立ち下がり波形は鋭いが、立ち上がり波形は鈍り、かつ（109）に示すクロック波形の変化から比較的大きな遅延を持っている。これは図7の回路動作でも説明したように正常な回路動作を行なう為に、P型MOSFET105、106はN型MOSFET107、108に比較して駆動能力を弱く設定しているからである。さて信号変化検出パルス発生回路を示す破線102の中のインバータ回路118、119、120を直列に接続した回路は遅延時間を確保する為の遅延回路の役目をしており、図2（A）の（120出力）の波形が示す如く（110）の波形を整形し、かつ反転し、かつ若干の遅延を持った信号波形となる。ノア回路114は（110）と（120）の波形のノア論理をとることにより（114出力）の信号波形となる。この波形（114出力）は第1出力信号端子110の立ち下がり時において一定のパルス幅を持った信号となっている。またインバータ回路116はノア回路114の出力を反転して第1パルス出力端子124から図2（A）の（124）に示す信号波形となっている。インバータ回路121、12

2、123とノア回路115及びインバータ回路117も前述したインバータ回路118、119、120とノア回路114及びインバータ回路116とそれぞれ同様の役目をしており、第2出力信号端子111の立ち下がりをつまえて第2パルス出力端子125から図2(A)の(125)に示す信号波形を作り出している。なお図2(A)の(123出力)がインバータ回路123の出力波形、(115出力)がノア回路115の出力波形を示している。次にP型MOSFET112、113を図1に示す様に構成した場合の回路動作波形を図2(B)に示す。P型MOSFET112、113のコンダクタンス定数 $\beta P2$ はP型MOSFET105、106のコンダクタンス定数 $\beta P1$ より大きく設計されている。したがって例えば出力信号端子110が鋭く立ち下がると、第1パルス出力端子124からパルス信号が発生し、P型MOSFET112がオンし、かつ $\beta$ が大きく駆動能力が高い為、第2出力信号端子111は鋭く立ち上がる。同様に第2出力信号端子111が鋭く立ち下がると第2パルス出力端子125からパルス信号が発生し、P型MOSFET113がオンし、第1出力信号端子110が鋭く立ち上がる。つまりP型MOSFET112、113を付加したことにより図2(A)では(110)、(111)の立ち上がり波形は鈍っており、かつ遅延が大きかったが図2(B)において(110)、(111)の出力波形は立ち上がりも鋭くなり、かつ遅延も非常に少なくなっている。なお第1パルス出力端子124、第2パルス出力端子125からはインバータ回路118から120までの遅延分もしくはインバータ回路121から123までの遅延分がパルスの幅となってその間だけP型MOSFET112、もしくは113をオンさせるこ

$$\frac{\beta_P}{\beta_N} \ll \frac{(E_1 - V_{TN})^2}{(E_2 - V_{TP})^2}$$

【0026】の関係式が必要であるが、ここでP型MOSFET105、106の $\beta P$ を前述した理由で更に小さくすることが出来るので $\beta P/\beta N$ の値を更に小さく設定できる。これは $E1/E2$ の値を更に小さく設定できることを意味する。この $E1/E2$ の値が小さいということは $E1$ から $E2$ へのレベル変換のレンジが拡大することを意味している。したがって図1の本発明は高速レベルシフト回路は立ち上がりを含めた高速の応答性を持つのみならず、低消費電流でかつ広い電圧変換範囲を持つことがわかる。

【0027】図3は本発明の第2の実施例を示す回路図である。図3(A)において破線301で囲まれたのが基本レベルシフト回路であり、図1における破線101で囲まれた基本レベルシフト回路と全く同じ構成である。したがってP型MOSFET305、306、N型MOSFET307、308、インバータ回路304、

とになるので、このパルス幅分の時間を経過した後はP型MOSFET112と113は共にオフしている。このとき第1出力端子110、もしくは第2出力端子111の電位を $E2$ の電位に保つのはP型MOSFET112、113より駆動能力の弱いP型MOSFET106、もしくは105である。したがって次のクロックの波形変化によって動作するときN型MOSFET107、もしくは108がオンするときの障害とならない。以上によって図2(B)のタイミングチャートに示すように第1出力端子110、第2出力信号端子111は共に立ち下がりも立ち上がりも鋭く、かつ遅延時間も少なく動作することがわかる。また単に信号の変化に対し応答が速くなったのみならず、レベルシフト回路としての一連の動作の終了も速くなっており、高い周波数に対応できることがわかる。なお、立ち上がりの動作を支配するのはP型MOSFET112、113であるので、応答性を低下させることなくP型MOSFET105および106の $\beta P1$ を小さくすることが出来る。基本レベルシフト回路101もしくは本発明の高速レベルシフト回路の消費電流の大半をしめるのは信号変化の際のP型MOSFET105、もしくは106とN型MOSFET107、もしくは108が共にオンしている間の貫通電流であるのでP型MOSFET105、106の $\beta P1$ を小さくすることが出来る。更にP型MOSFET112、113によって応答性が高くなっている為、貫通電流の流れる過渡応答の期間が短くなり、それ故に更に消費電流が低下する。また従来回路の図7の所で説明ようにレベルシフト回路が正常に動作する為には

【0025】

【数4】

入力信号端子309、第1出力信号端子310、第2出力信号端子311は図1のP型MOSFET105、106、N型MOSFET107、108、インバータ回路104、入力信号端子109、第1出力信号端子110、第2出力信号端子111にそれぞれ対応しており同一の役目をしている。図3(A)のP型MOSFET312、313は図1におけるP型MOSFET112、113に対応しており、同一の構成、役目をしている。図3(A)の破線302に囲まれた回路が信号変化検出パルス発生回路であり、第1の実施例を示す回路図の図1と異なるのはこの回路構成である。破線302の中において320はアンド・アンド・ノア回路(AND・AND・NOR回路)であり、314、316、317、321はインバータ回路であり、315はノア回路(NOR回路)であり、318はラッチ回路(LATCH回路)であり、322、323はナンド回路(NAND回

路)である。基本レベルシフト回路301の第1出力信号端子310はAND・AND・NOR回路320の第1ANDの第1ゲートに接続され、第2出力信号端子311はインバータ回路314を経てAND・AND・NOR回路320の第2ANDの第2ゲートに接続されている。AND・AND・NOR回路320の出力はインバータ回路321のゲートに接続され、インバータ回路321の出力は信号合成出力端子319となっており、かつラッチ回路318のデータ入力(D)に接続されている。ラッチ回路318のマスター(M)出力はAND・AND・NOR回路320の第1ANDの第2ゲートに接続され、またインバータ回路317を経てAND・AND・AND・NOR回路320の第2ANDの第1ゲートに接続されている。第1出力信号端子310と第2出力信号端子311はノア回路315の第1ゲート、第2ゲートにそれぞれ接続され、ノア回路315の出力はインバータ回路316を経て、ラッチ回路318のクロックドゲート(CL)に接続されている。またノア回路315の出力はナンド回路322、323のそれぞれの第2ゲートにそれぞれ接続されている。ラッチ回路318のマスター(M)出力はナンド回路322の第1ゲートに接続され、インバータ回路317の出力はナンド回路323の第1ゲートに接続されている。またナンド回路322とナンド回路323のそれぞれの出力はそれぞれ第1パルス出力端子324、第2パルス出力端子325となっている。なおラッチ回路318の具体的回路構成例を図3(B)に示す。図3(B)において331、333はクロックドゲートインバータ回路であり、331はクロック信号(CL)が正の時、信号を伝え、333はクロック信号が負の時、信号を伝える。332はインバータ回路である。クロックドゲートインバータ回路331のゲート334にデータ(D)信号が入力し、出力335はインバータ回路332のゲートに接続され、インバータ回路332の出力336はクロックドゲートインバータ回路333のゲートに接続され、クロックドゲートインバータ回路333の出力はクロックドゲートインバータ回路331の出力335と接続されている。このときインバータ回路332の出力336がラッチ回路としてのマスター(M)出力信号となっている。このときクロック(CL)信号が正の時はデータ(D)信号が入力し、クロック信号の負の時は前状態のデータがインバータ回路332クロックドゲートインバータ回路333の間で保持される。

【0028】さて、このとき信号変化検出パルス発生回路302の動作を次に説明していく。なお302の信号変化検出パルス発生回路は単にレベルシフト回路の応答を速くするのみならず、立ち下がり信号の応答が速いことを利用して第1出力信号端子310と第2出力信号端子311の応答の速い信号を選択して出力することにより更に高速レベルシフト回路を目的とした構成となって

いる。さて図3(A)の回路動作をわかりやすくするために、まずP型MOSFET312と313を取り除いた場合のタイミングチャートを図4(A)に示し、次に本発明通りにP型MOSFET312と313を付け加え図3(A)の回路通りのタイミングチャートを図4

(B)にしめす。図4(A)はP型MOSFET312、313を取り除いており、このとき基本レベルシフト回路301の入力信号端子309にクロック信号を入れると第1出力信号端子310、第2出力信号端子311は図4(A)の(309)、(310)、(311)に示す波形となる。図4(A)の(310)、(311)に示すように立ち下がりの応答は速く、立ち上がりが遅い。クロックの入力信号波形(309)に対して素速く応答するには(310)、(311)のそれぞれ応答の速い立ち下がりの信号を利用すればE1系のクロック信号に対してE2系の出力信号を応答性良く変換したことになる。クロックの変化の前状態が負の時(311)の信号は素速く応答しており、正の時は(310)の信号が素速く応答しているのが図4(A)のタイミングチャートからわかる。したがって前状態を記憶して、それに応じて(310)、(311)の信号を振りわければ良い。この前状態を記憶しているのがラッチ回路318であり、振りわけるのがラッチ回路318のMの信号、及びインバータ回路317であり、かつ選択合成しているのが、AND・AND・NOR回路320である。なおノア回路315、及びインバータ回路316でラッチ回路318のデータの取り込みのタイミングを調整している。これは信号合成出力端子319の信号が変化した余端にラッチ回路318のMの信号、及びインバータ回路317の選択振り分け信号を変えてしまうと誤動作するからである。またナンド回路322とナンド回路323によって第1出力信号端子310と第2出力信号端子311の立ち下がりをつめたパルスを作り、第1パルス出力端子324、第2パルス出力端子325から出力している。以上の様子を示したのが図4(A)のタイミングチャートである。次にP型MOSFET312、313を図3(A)に示す様に構成した場合の回路動作波形を図4(B)に示す。第1パルス出力端子324、第2パルス出力端子325より、それぞれ第1出力信号端子310、第2出力信号端子311の立ち下がりをつめたパルス信号が出力され、かつP型MOSFET312と313のそれぞれのゲート電極に供給しているので第1出力信号端子310、第2出力信号端子311の立ち上がり波形も鋭くなり、遅延時間も少なくなっている。以上によりインバータ回路314、ノア回路315、ラッチ回路318のMの信号、信号合成出力端子319、第1パルス出力端子324、第2パルス出力端子325の各信号波形が図4(B)のそれぞれ(314出力)、(315出力)、(318M出力)、(319)、(324)、(325)の様になっている。以

上、図3(A)の回路は基本レベルシフト回路の立ち上がり改善されたのみならず、信号合成出力端子319から、より高速で応答した出力信号が得られることがわかる。

【0029】図5は基本レベルシフト回路の他の実施例を示す回路図である。図5において破線501の中の回路が基本レベルシフト回路であって、インバータ回路504、MOSFET505、506、507、508はそれぞれ図1におけるインバータ回路104、MOSFET105、106、107、108に順に対応しており、図5のP型MOSFET514、515が新たに付け加えられたものである。図5においてP型MOSFET514、515は電源E2とP型MOSFET505、506の間にそれぞれ挿入され、MOSFET514のゲート電極は入力信号端子509に接続され、MOSFET515のゲート電極は入力信号端子509の信号を反転するインバータ回路504の出力に接続されている。以上の図5の回路は従来の回路例であげた図9の回路とMOSFETの順序が変更されているのみで本質的には同じ動作をする。

【0030】また基本レベルシフト回路部としては図5のみならず、従来の回路例としてあげた図8、図9の回路でも良い。

【0031】また図1、及び図3(A)の中で2種類の信号変化検出パルス発生回路の例を示したが、基本レベルシフト回路の出力信号の立ち下がりをつまえてパルスを出力する回路であれば他の回路でも良い。

【0032】また図1の回路の中で3個のインバータ回路118~120と、同じく121~123はパルス幅の時間を決める遅延回路であるので奇数段であれば3個に限らず同様の役目をする。

【0033】また基本レベルシフト回路の例として図1、図5、図8、図9の中の回路例をあげ、また信号変化検出パルス発生回路の例として図1、図3の中の回路例をあげたが、これらのどの基本レベルシフト回路と信号変化検出パルス発生回路の組み合わせも本発明の高速レベルシフト回路として有効な組み合わせとなる。

【0034】また以上のレベル変換において負極が0電位で、E1、E2が正極の2電源の場合について説明したが、正極が0電位、-E1、-E2が負極の2電源の場合でもP型MOSFET、N型MOSFETを逆の構成にすれば同様の回路ができる。

【0035】

【発明の効果】以上、述べたように本発明によればレベルシフト回路を構成する部分のP型MOSFETを駆動能力の高いMOSFETと弱いMOSFETを設け、クロック信号の変化時のみ駆動能力の高いMOSFETをオンさせる構成をとっていることで信号の立ち下がりも立ち上がりも共に高速の応答性を持って高速レベルシフト回路が提供できるという効果がある。

【0036】また、単に信号の変化に対し応答が速くなるのみならず、レベルシフト回路としての一連の動作の終了も速くなる、いわばサイクルタイムも速くなるという効果がある。

【0037】また前述した様に応答性が高くなっている為、貫通電流の流れる過渡応答の期間が短くなり、消費電流が低下するという効果がある。

【0038】また前記の駆動能力の高い方のMOSFETをそのままにして、弱い方のMOSFETの $\beta$ を更に小さく設定することにより貫通電流の絶対値を小さくできるので、高速の応答性を保ちつつレベルシフト回路としての消費電流を更に小さくできるという効果がある。

【0039】また上記の同様の構成とMOSFETの駆動能力を設定することによって高速の応答性を保ちつつ、広い電圧変換範囲を持つレベルシフト回路を提供できるという効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す回路図である。

【図2】 本発明の図1の回路の動作を示すタイミングチャートである。なお(A)はP型MOSFET112、113を除いた場合のタイミングチャート、(B)は図1の回路の場合のタイミングチャートである。

【図3】 本発明の第2の実施例を示す回路図である。なお(A)は全体の構成を示す回路図、(B)は(A)の中で用いられているラッチ回路の具体的構成を示す回路図である。

【図4】 本発明の図3の回路の動作を示すタイミングチャートである。なお(A)はP型MOSFET312、313を除いた場合のタイミングチャート、(B)は図3の回路の場合のタイミングチャートである。

【図5】 本発明の回路の中で用いられる基本レベルシフト回路の他の構成例を示す回路図である。

【図6】 レベルシフト回路を用いなくて異なった電源系の信号を伝える場合を示した回路図である。

【図7】 従来のレベルシフト回路の第1の例を示す回路図である。

【図8】 従来のレベルシフト回路の第2の例を示す回路図である。

【図9】 従来のレベルシフト回路の第3の例を示す回路図である。

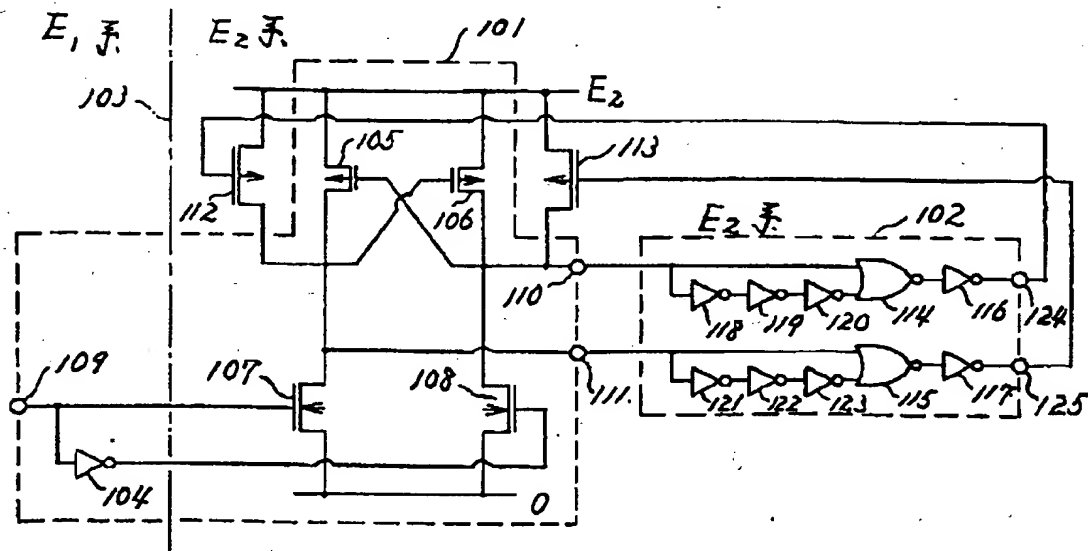
【符号の説明】

70、72、74、80、82、84、90、92、94、105、106、112、113、305、306、312、313、505、506、512、513、514、515、601、603、910、911  
 ... P型MOSFET  
 71、73、75、81、83、85、91、93、95、107、108、307、308、507、508、602、604 ... N型MOSFET  
 76、78、79、86、88、89、96、98、9

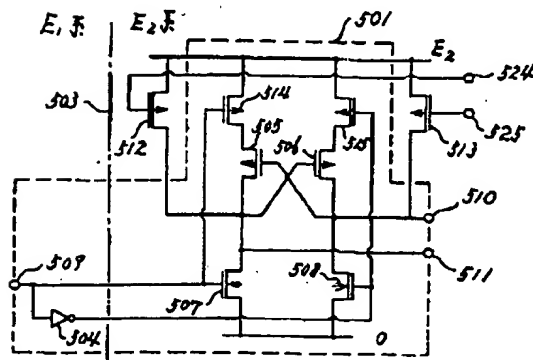
9、109、110、111、124、125、30  
 9、310、311、319、324、325、50  
 9、510、511、524、525、605、607  
 ……端子  
 101、301、501……基本レベルシフト回路  
 102、302……信号変化検出パルス発生回路  
 103、303、503……E1系とE2系の電源の境界線  
 104、116、117、118、119、120、1  
 21、122、123、304、314、316、31

7、321、332、504、……インバータ回路  
 114、115、315……ノア回路  
 318……ラッチ回路  
 320……アンド・アンド・ノア回路  
 322、323……ナンド回路  
 331、333……クロックドゲートインバータ回路  
 334……ラッチ回路のD信号  
 335……ラッチ回路のMの反転信号  
 336……ラッチ回路のM信号  
 810、811……抵抗

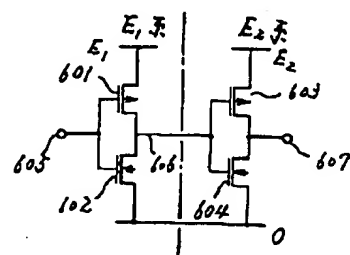
【図1】



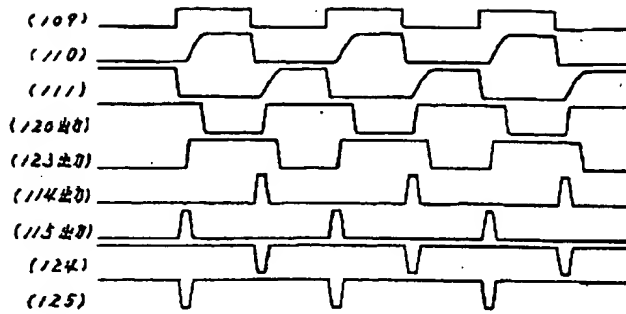
【図5】



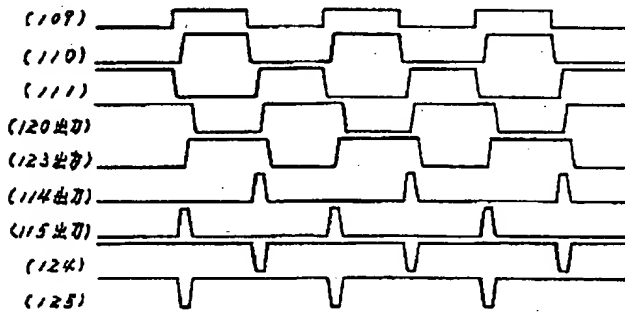
【図6】



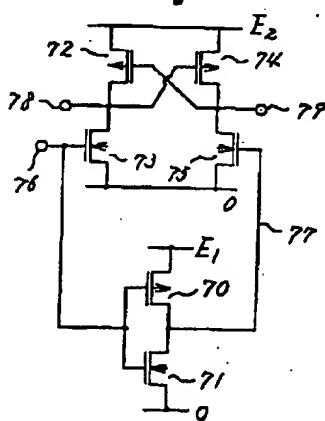
【図2】



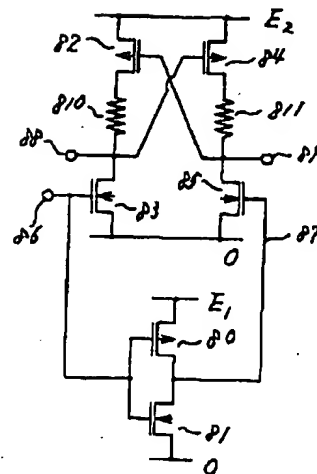
(A)



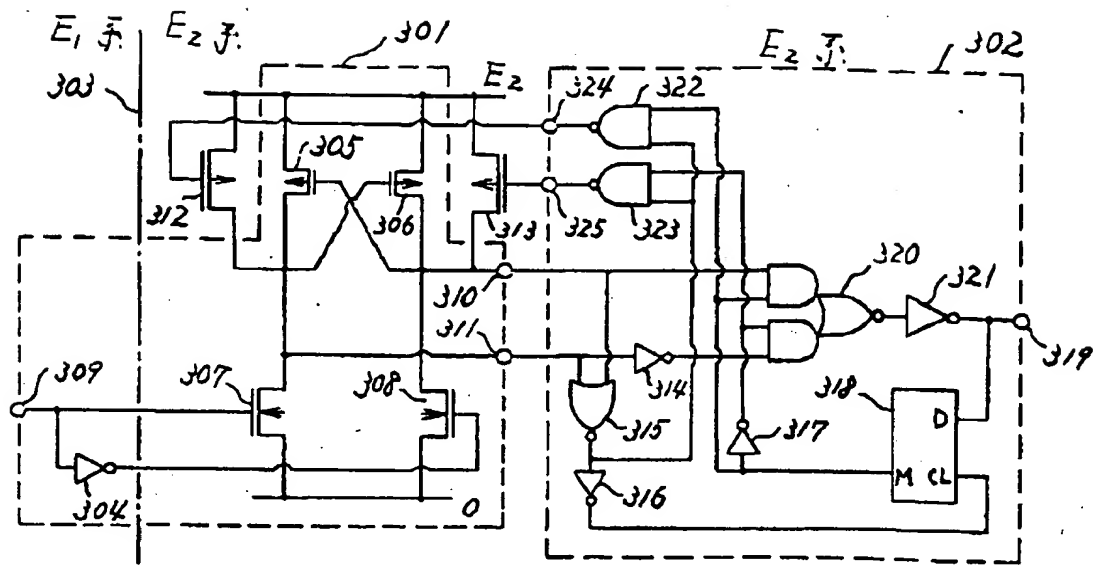
【図7】



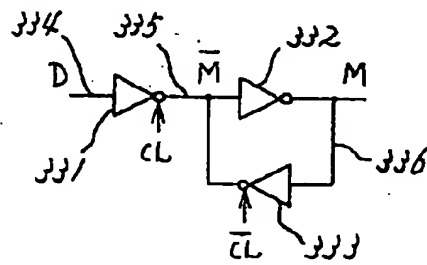
【図8】



【図3】



(A)



(B)

【図9】

